

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-114544

(P2000-114544A)

(43) 公開日 平成12年4月21日 (2000.4.21)

(51) Int.Cl.⁷

識別部号

F I

ページ (参考)

H 0 1 L 29/80

H 0 1 L 29/80

V 5 F 1 0 2

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号

特願平10-276954

(22) 出願日

平成10年9月30日 (1998.9.30)

(71) 出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者

八尾 勉

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者

大野 俊之

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人

100068504

弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 静電誘導トランジスタ

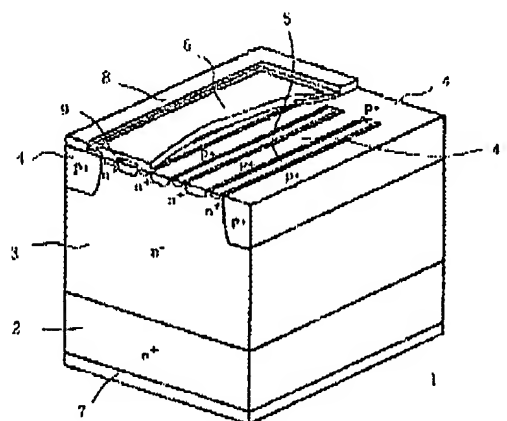
(57) 【要約】

【課題】 オフ特性の優れたS i Cの静電誘導トランジスタを提供する。

【解決手段】 第一のゲート層 (4) に囲まれた部分にさらに浅くて間隔の狭い第二のゲート層 (4) を設ける。

【効果】 オフ特性の優れた静電誘導トランジスタが加工精度が確保できる製作方法で実現できる。

図 1



(2) 000-114544 (P2000-114544A)

【特許請求の範囲】

【請求項1】第一導電型のSiC半導体基体と、前記SiC半導体基体の表面に形成された、第二導電型の第一のゲート層と、前記表面に形成された第一導電型のソース層と、前記ソース層と接触したソース電極と、前記第一のゲート層に接触したゲート電極と、前記SiC半導体基体に接触したドレイン電極と、を備える静電誘導トランジスタにおいて、前記表面の前記第一のゲート層に囲まれた領域において前記第一のゲート領域に接し、前記第一のゲート領域より幅ならびに深さが小さな複数の第二導電型の第二のゲート層を有することを特徴とする静電誘導トランジスタ。

【請求項2】請求項1において、前記ソース層が前記第一のゲート層ならびに前記第二のゲート層に重なって接触することを特徴とする静電誘導トランジスタ。

【請求項3】請求項1において、前記第二のゲート層が前記ソース層を囲む形状に設けられることを特徴とする静電誘導トランジスタ。

【請求項4】請求項1において、ゲート電極とソース電極の短絡もしくは開放状態において隣り合う前記第二のゲート層から拡がる空乏層が重なり合うように間隔が設定されることを特徴とする静電誘導トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、静電誘導トランジスタの構造に関する。

【0002】

【従来の技術】電力変換器の人電力かつ高周波化の要求とともに、可制御電流が大きいだけでなく、低損失で、かつ高速に動作する半導体スイッチング素子が要求されている。

【0003】このような要求に応えるため、シリコンカーバイド(SiC)を素材としたスイッチング素子が提案されている。例えばIEEE Electron Devices Letters, Vol.18, NO.3, p.93-95(1997), "High-Voltage Double-Implanted Power MOSFET's in 6H-SiC"に記載されているようなパワーマOSFETが検討されている。しかし、電流の通路となるチャネル層にキャリアの移動度の低い反転層が使われているのでオン電圧が高くなるという問題がある。

【0004】この問題を回避するためチャネル層として反転層を使用しない静電誘導トランジスタ(例えばIEEE Trans. on Electron Devices, Vol.ED-22, p.135-197, 1975, "Field-effect Transistor versus Analog Transistor (Static Induction Transistor)"に記載されている)が有望である。

【0005】図2は従来の静電誘導トランジスタの断面図を示す。この半導体基板はn⁺型領域2とn⁺型領域3とp⁺型領域4およびn⁺型のソース層5からなり、ソース電極6と、ドレイン電極7と、ゲート電極8が設け

られている。ソース電極6に対して、ゲート電極8の電位を低くすることにより、p⁺型領域4の間、いわゆるチャネルと呼ばれる領域に空乏層を広げ、ドレイン電極7とソース電極6を流れる電流をオフすることができる。チャネル領域にはSiCの基体を使用しているので極めて低いオン抵抗が実現できる可能性が例えばInternational Conference on Silicon Carbide, III-nitrides and Related Materials-1997, Abstract p.443(1997), "Electrical Characteristics of A Novel Gate Structure 4H-SiC Power Static Induction Transistor"で報告されている。

【0006】しかしながら、図2の基本構造では、以下に述べるSiC特有の製作プロセス上の制限からオフ特性が著しく悪いという問題がある。すなわち、前記の従来例において、p⁺型領域4は、オフ時にゲート電圧を加えて互いの空乏層が重なる程度に間隔を狭くする必要があり、数百〜数千Vの高い逆電圧に対して比較的低いゲート電圧でオフ能力を保持するためにはできるだけ深く、かつ高濃度層として形成されねばならない。しかし、SiCの場合、その接合絶縁破壊電界がSiの約10倍という物性上の長を生かした接合設計になるので、一般にn⁺型領域3の不純物濃度はSiの場合の70〜100倍の高濃度に設定され、そのため空乏層の拡がりは著しく少なくなり、空乏層のピンチオフ効果を抑えるためには前記のp⁺型領域4の間隔は1μm程度もしくはそれ以下の極めて狭い値にする必要がある。また、深いp型層の形成にはSiではボロンやアルミニウム等のアクセプタ不純物が熱拡散法で拡散されるが、SiCではこれらの不純物の拡散係数が極めて小さいのでこの拡散法は適用できず、イオン注入法のみにて直接形成しなければならない。しかし、イオン注入によって1μm程度の深い打ち込み層を狭い間隔で選択的に形成することは極めて難しい。厚い膜厚でかつ間隔の狭い注入マスクの形成が極めて困難になるからである。たとえば、注入マスクとして一般に広く利用されているホトレジストを使用する場合、深さ1μmのボロンの注入には約500keVの注入エネルギーとなるが、これに耐えるマスクの厚さとしては4μm以上が必要である。この厚いレジストを幅および間隔を1μm以下の範囲で精度よく加工することは至難である。したがって、SiCの静電誘導トランジスタ(SIT)の場合、図2に示した基本構造ではゲートオフ利得の大きな特性は期待できず、ましてやノーマリオフ機能を見備えたSITの実現は殆ど不可能である。

【0007】

【発明が解決しようとする課題】以上のように、従来のSiの場合の考え方をそのままSiCを基材とする静電誘導トランジスタに適用した場合、ある程度の高いオフゲインを得るにはチャネルの必要な幅は1μm程度となり、高濃度で深いp型ゲート層をイオン注入法で形成す

(3) 000-114544 (P2000-114544A)

るには注入マスクの加工精度の制限から製作が大変困難になる。さらに、この狭い間隔の中にソース層を形成しなければならないので、そのパターン合わせに極めて高い精度が要求される。この結果、ノーマリオフ機能も含めオフ特性の優れたSITを製造することが困難である。本発明はこれらの課題を解決する新規な構造を提供するものである。

【0008】本発明の目的は、オフ特性の優れた静電誘導トランジスタの構造を提案することである。

【0009】本発明の他の目的は、上記の静電誘導トランジスタを高歩留まりで製造できる構造を提供することである。

【0010】

【課題を解決するための手段】上記の目的を達成するために、本発明ではゲート領域として第一のゲート層ならびに第一のゲート層で囲まれた深さ、幅および間隔が第一のゲート層よりも小さな第二のゲート層を複数設ける構造とする。

【0011】以上の手段により、オン状態からオフ状態に移行するとき、まず狭幅の第二のゲート層のピンチオフ（空乏層の重なり）により低いゲート電圧でソース層からの電子の流れを阻止し、ついでさらに高いゲート電圧で広幅の第一のゲート層のピンチオフ（空乏層の重なり）により増大するドレイン電圧を高い電圧まで阻止するので、オフ特性の優れたSITが実現できる。ここで、第二のゲート層の間隔を極端に狭めれば、ゲート電極とソース電極との間が短絡または開放状態でピンチオフ効果を発揮したノーマリオフ機能を持つSITを実現することもできる。

【0012】さらに、本発明によれば、狭幅の前記第二のゲート層をイオン注入で形成するに際し、注入エネルギーの減少に応じて極薄い注入マスクの適用が可能になり、高い加工精度の注入マスクが得られるので高オフゲインの静電誘導トランジスタが高歩留まりに製作できる。

【0013】

【発明の実施の形態】以下、本発明を実施例を開示しながら詳細に説明する。

【0014】図1は本発明の第一の実施例であり、静電誘導トランジスタの基本単位セルの断面図である。上下に主表面を有する平行平板状のSiC半導体基体1は不純物濃度約 $3 \times 10^{15} \text{ cm}^{-3}$ 、厚さ約 $300 \mu\text{m}$ の低抵抗の n^+ 型層2と、不純物濃度が n^+ 型層2より低い約 $1 \times 10^{15} \text{ cm}^{-3}$ 、厚さ約 $1.2 \mu\text{m}$ の高抵抗の n^+ 型層3と、からなる。 n^+ 型層3が露出する一方の主表面において深さ約 $1 \mu\text{m}$ 、幅約 $1 \mu\text{m}$ 、ボロン注入量約 $1 \times 10^{15} / \text{cm}^2$ であり、 n^+ 型層3よりも高濃度の p^+ 型の第一のゲート層4がセル周辺に沿って設けられ、さらに第一のゲート層4で囲まれた幅約 $2 \mu\text{m}$ の表面付近には深さ約 $0.15 \mu\text{m}$ 、幅が約 $0.2 \mu\text{m}$ 、ボロン注入量

約 $1 \times 10^{15} / \text{cm}^2$ であり、 n^+ 型層よりも高濃度のストライプ状の p^+ 型の第二のゲート層41が約 $0.2 \mu\text{m}$ の間隔で複数個設けられ、第二のゲート層41はセルの終端部において第一のゲート層4と接している。隣接する第二のゲート層間の間隔は、第一のゲート層間の間隔よりも狭い。また、第二のゲート層41の半導体基体表面からの深さは第一のゲート層4よりも浅い。隣り合う二つの第二のゲート層41の間には幅約 $0.2 \mu\text{m}$ の n^+ 型層3がある。第二のゲート層41で囲まれた幅約 $0.2 \mu\text{m}$ の一方の主表面には深さ約 $0.05 \mu\text{m}$ 、窒素注入量 $1 \times 10^{15} / \text{cm}^2$ であり n^+ 型層3よりも高濃度の n^+ 型のソース層5が設けられている。そして、一方の主表面にはソース電極6とゲート電極8が、他方の主表面にはドレイン電極がそれぞれ設けられている。ソース電極6と各ゲート層との電気的な接触を防ぐため、絶縁膜9が間に介在されている。本実施例の図2の従来例と相違するところは、狭幅の第二のゲート層41が設けられていることである。

【0015】各部の作用を以下に説明する。ソース、ドレイン間の電流のターンオフは、ソース電極6に対して負の電位をゲート電極8に加えることで起こる。このとき、第二のゲート層間の間隔が $0.2 \mu\text{m}$ と第一のゲート層間の間隔よりも最も狭く設定されているので、数〜数十Vの低いゲート電圧で空乏層の重なりが起こってソース層5からの電子の流れを阻止する。ソース層5からの電子注入の停止によってソース、ドレイン間の内部インピーダンスが急増するためドレイン電圧が電源電圧まで跳ね上がる。この高い電圧を深さの浅い第二ゲート層41だけで阻止し続けることはできないが、阻止電圧に相当したゲート電圧の印加によって今度は接合が深く、比較的広い間隔で配置された第一のゲート層4から広がる空乏層が重なりを起こし、そのピンチオフ効果によって素子は高電圧のオフ状態を保持できるようになる。この高電圧阻止の動作において、第二のゲート層41のピンチオフによるソース層5からの電子注入の素早い抑制は第一のゲート層4の空乏層の重なりを容易にする作用がある。この結果、高電流密度状態からのクーンオフであってもオフゲインの高いターンオフ動作が可能になる。

【0016】図3は本発明の第二の実施例である静電誘導トランジスタの基本単位セルの断面図である。図中の各部に付した構成部分の符号が図1に示した第一の実施例と同じ部分はその構造、導電型および作用が等しい部分を示している。本実施例の図1の実施例と相違するところは、ソース層5が各ゲート層4、41に重なりつつ接合している点である。ソース層5が各ゲート層4、41に重なりつつ接合しているのでアライメント精度が低減されるという利点があり製作を著しく簡単にできる。SITでは高い阻止電圧の素子には可能な限り高い耐電圧のゲート・ソース接合が要求されるが、SiC半導体

BEST AVAILABLE COPY

(4) 000-114544 (P2000-114544A)

を素材とした場合、pn接合の最大破壊電界強度がSiの約10倍なので、高濃度のp、n層から構成される接合でも十分高い耐電圧が得られるという特徴を活用している。本実施例でも数十〜数百Vのゲート接合耐圧が得られる。

【0017】図4は本発明の第二の実施例の単位セルの配列例(a)ならびに断面図(b)を示す。図中の各部に付した構成部分の符号が図3に示した第二の実施例と同じ部分はその構造、導電型および作用が等しい部分を示している。一点破線で囲まれた部分が前記図3で示した第二の実施例の単位セルであり、計4セルの配置例を示す。素子の電流容量に応じて併置されるセルの数が増加される。この例では、ゲート電極8は各セルの第一のゲート層の全表面にもうけられているが、ゲート電極8は必ずしも全セルに具備する必要はなく、電気的な抵抗の許せる範囲で部分的に設けることは可能である。また、ソース電極6とゲート電極8の間に絶縁物を介在させることによってソース電極6を半導体チップ表面の殆どを覆う形状にすることも可能である。

【0018】図5は前記した本発明の第二の実施例の製造方法の主要な工程を示す図である。図中の各部に付した構成部分の符号が図3に示した第二の実施例と同じ部分はその構造、導電型および作用が等しい部分を示している。図5(a)は、n⁺型層3の一方の主表面部分の断面図であり、下部のn⁺型層などの半導体基体の部分は省略されている。図5(b)では、n⁺型層3の表面よりボロンの選択的イオン注入によりp⁺型の第一のゲート層4を部分的に形成する。注入量を約 $1 \times 10^{15}/\text{cm}^2$ とし、打ち込みエネルギーを500keV、300keVおよび50keVの3段階に注入する。このとき、注入マスクとして厚さ約4.0μmのホトレジスト

膜を使用する。つづいて図5(c)では、注入マスクとして厚さ0.3μmのホトレジスト膜を使用して注入量を約 $1 \times 10^{15}/\text{cm}^2$ とし、打ち込みエネルギーを50keVとしてボロンを注入する。そのあと、図5(d)では、注入マスクとして厚さ0.3μmのホトレジスト膜を使用して注入量を約 $1 \times 10^{15}/\text{cm}^2$ とし、打ち込みエネルギーを30keVとして酸素を注入する。イオン注入のあと、約1500℃のアニールを行い活性化処理をする。Ti/AlおよびNiの金属をそれぞれ第一のゲート層およびソース層5の表面に蒸着してデバイスの機能領域を完成する(図5(e))。

【0019】本明細書では半導体基体1の導電型がn型の場合を示したが、記述した伝導型を全て反対伝導型にすればp型の場合にも適用される。

【0020】

【発明の効果】本発明によれば、オフ特性の優れたSiC静電誘導トランジスタをプロセス上の困難を伴わずに実現することができる。

【図面の簡単な説明】

【図1】本発明を適用したSiC静電誘導トランジスタの第一の実施例を示す断面図。

【図2】従来の静電誘導トランジスタを示す断面図。

【図3】本発明を適用したSiC静電誘導トランジスタの第二の実施例を示す断面図。

【図4】本発明の基本セルのレイアウトを示す平面図。

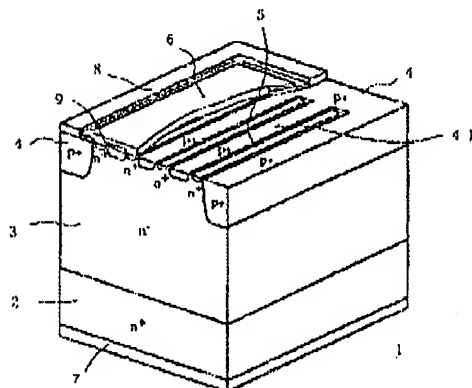
【図5】第二の実施例の製造方法。

【符号の説明】

1…半導体基体、2…n⁺型層、3…n⁺型層、4…第一のゲート層、5…ソース層、6…ソース電極、7…ドレイン電極、8…ゲート電極、9…絶縁膜、41…第二のゲート層。

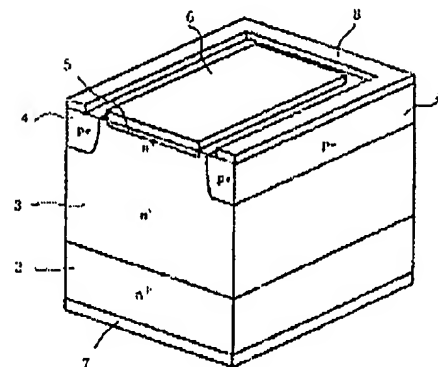
【図1】

図 1



【図2】

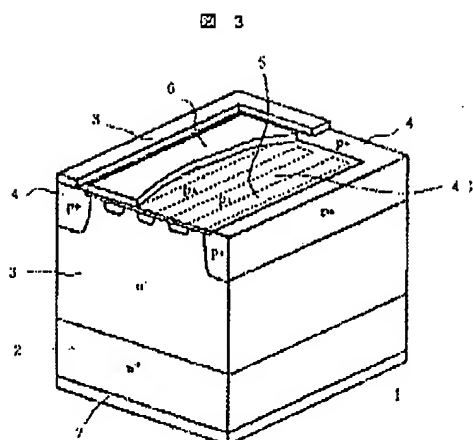
図 2



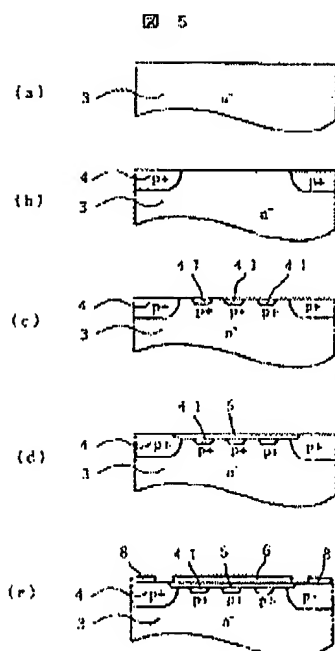
BEST AVAILABLE COPY

(5) 000-114544 (P2000-114544A)

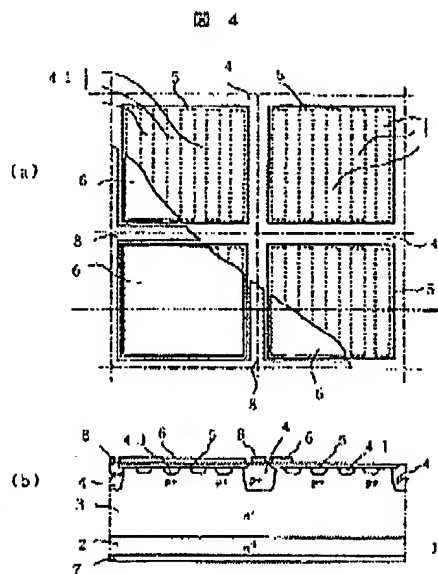
【図3】



【図5】



【図4】



フロントページの続き

(72)発明者 小野瀬 秀勝
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 及川 三郎
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(6) 000 114544 (P2000-114544A)

Fターム(参考) 5F102 F101 G104 G107 G108 G104
G102 G109 H107 H111